

SEMICONDUCTOR DEVICE AND ITS MANUFACTURING METHOD AS WELL AS ELECTRONIC APPARATUS

Patent Number: JP2002026240

Publication date: 2002-01-25

Inventor(s): MAKABE AKIRA

Applicant(s): SEIKO EPSON CORP

Requested Patent: JP2002026240

Application Number: JP20000207076 20000707

Priority Number(s):

IPC Classification: H01L25/065; H01L25/07; H01L25/18; H01L23/52

EC Classification:

Equivalents:

Abstract

PROBLEM TO BE SOLVED: To provide a small semiconductor device which is manufactured easily and whose plating bonding strength is good, by a method wherein insulating films are executed to inside walls of vias formed so as to be passed through electrodes of semiconductor chips, the semiconductor chips are laminated, the electrodes of the respective semiconductor chips are electrically connected by plated parts filled into the vias, and the respective semiconductor chips are bonded by the filled plated parts; to provide its manufacturing method; and to provide an electronic apparatus using it.

SOLUTION: In the semiconductor device, a plurality of semiconductor chips are laminated so as to be multilayered. The vias which are formed so as to be passed through the electrodes of the semiconductor chips and the electrodes of the semiconductor chips are connected so as to be conductive inside the vias, and plated coupling pillar members which bond the laminated semiconductor chips are constituted so as to be installed.

Data supplied from the **esp@cenet** database - I2

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-26240

(P2002-26240A)

(43)公開日 平成14年1月25日(2002.1.25)

(51)Int.Cl.¹

H 01 L 25/065
25/07
25/18
23/52

識別記号

F I

H 01 L 25/08
23/52

テマコード(参考)

Z
C

審査請求 未請求 請求項の数6 O L (全7頁)

(21)出願番号

特願2000-207076(P2000-207076)

(22)出願日

平成12年7月7日(2000.7.7)

(71)出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72)発明者 間ヶ部 明

長野県諏訪市大和3丁目3番5号 セイコ
ーエプソン株式会社内

(74)代理人 100095728

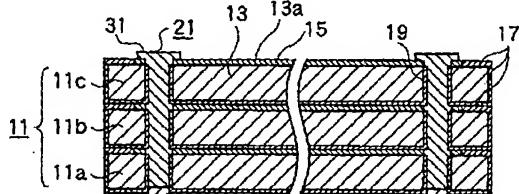
弁理士 上柳 雅善 (外1名)

(54)【発明の名称】 半導体装置及びその製造方法、並びに電子機器

(57)【要約】

【課題】 半導体チップの電極を貫通してあけたビアー内壁に絶縁膜を施すとともに、半導体チップを積層し、ビアー内に充填したメッキにより各半導体チップの電極を電気的に接続し、かつ、各半導体チップを充填したメッキで結合したため、製造が容易で、メッキ接着強度が良く、小型の半導体装置およびその製造方法、ならびにこれを用いた電子機器を提供する。

【解決手段】 複数の半導体チップを積層して多層化した半導体装置である。半導体チップの電極を貫通してあけたビアーと、該ビアー内に各半導体チップの電極を接続し導電するとともに、積層した半導体チップを結合するメッキの結合柱部材を設けた構成とするものである。



【特許請求の範囲】

【請求項1】 複数の半導体チップを積層して多層化した半導体装置において、半導体チップの電極を貫通してあけたビアと、該ビア内に各半導体チップの電極を接続して導通し積層した半導体チップを機械的に結合するメッキ材の結合柱部材を設けたことを特徴とする半導体装置。

【請求項2】 請求項1記載の半導体装置において、結合柱部材は、ビアの一端部に挿入したプラグと、該プラグに接続するビア内に充填したメッキ材からなることを特徴とする半導体装置。

【請求項3】 請求項1記載の半導体装置において、結合柱部材は、ビア内に充填されるとともに、ビアの両端部においてビアの内径よりも大きい外径を有するメッキ材からなることを特徴とする半導体装置。

【請求項4】 積層した複数の半導体チップを積層したものにビアをあける、あるいは、複数の半導体チップにビアをあけた後に積層して多層化する、工程と、半導体チップを加熱してビア内壁に絶縁膜を形成する工程と、ビア内をエッチングあるいはメッキ防止材を塗布して電極を露出する工程と、導電性プラグをビアの一端部に挿入する工程と、積層した半導体チップをメッキ槽に挿入してビア内にメッキ材を充填し、各半導体チップの電極を電気的に接続するとともに、前記導電性プラグとともに各半導体チップを結合する結合柱部材を形成する工程と、を有することを特徴とする半導体装置の製造方法。

【請求項5】 積層した複数の半導体チップを積層したものにビアをあける、あるいは、複数の半導体チップにビアをあけた後に積層して多層化する、工程と、半導体チップを加熱してビア内壁に絶縁膜を形成する工程と、ビア内をエッチングあるいはメッキ防止材を塗布して電極を露出する工程と、積層した半導体チップをメッキ槽に挿入してビア内にメッキ材を充填し、各半導体チップの電極を電気的に接続するとともに、各半導体チップを結合する結合柱部材を形成する工程と、を有することを特徴とする半導体装置の製造方法。

【請求項6】 請求項1乃至5のいずれかに記載の半導体装置を備えたことを特徴とする電子機器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置及びその製造方法、ならびに電子機器に係り、特に、半導体チップを簡単な構成で積層し、製造が容易で、小型化された半導体装置及びその製造方法、ならびに電子機器に関する。

【0002】

【従来の技術】近年、電子機器の高性能化、小型化に伴って一つのパッケージ内に複数の半導体チップを配置してマルチチップパッケージ(Multi Chip Package)と

することにより、半導体装置の高機能化と小型化とが図られている。そして、マルチチップパッケージ(MCP)には、複数の半導体チップが平面的に並べられた平面型MCPと、複数の半導体チップを厚み方向に積層した積層型(スタックド)MCPがある。半導体チップを平面的に並べられた平面型MCPは、広い実装面積を必要とするため、電子機器の小型化への寄与率が小さい。このため、半導体チップを積層した積層型MCPの開発が盛んに行われている。この例として、特開平6-37250号公報や特開平6-204399号公報に記載の、半導体チップをパッケージに封止した後に垂直に積み重ね、ワイヤ、あるいは、バイアホールやスルーホールを用いてパッケージ間の電気的接続を行うことによりモジュールを形成する技術、などがある。

【0003】

【発明が解決しようとする課題】しかしながら、この従来の積層型MCPでは、特開平6-37250号公報においては、積層した半導体チップを相互に電気的に接続する場合、各半導体チップの周縁部に端子部を形成し、各チップの端子部間にワイヤによって接続している。このため、半導体チップ相互の電気的接続が煩雑となるばかりでなく、積層する半導体チップは、上にいくほどサイズを小さくしなければならず、集積効率、実装効率が低下する。また、半導体チップの集積度が向上させると、ワイヤ間が小さくなつてワイヤ間で短絡を生ずる恐れがある。

【0004】また、特開平6-204399号公報においては、層間接続を行うために、バイアホールやスルーホールを形成する必要があるので次のように行うため製造プロセスが複雑になるという問題がある。すなわち、積層型MCPは、半導体チップと配線基板とを電気的に接続し、積層型MCPを作る際に積層単位となるチップキャリアを複数枚作成し、このチップキャリアとコンデンサフィルムと熱伝導基板とパッケージベースとを接着フィルムに接着する。そしてスルーホールを形成し、積層し接着した部品間の電気的接続を行う。このとき、バイアホールやスルーホールの加工には、バイアホールやスルーホールの孔の直径、層間の位置合わせ、および、正確な穴あけ位置の各加工精度の向上などの製造プロセスが困難である。このため、簡単な構成で半導体チップを積層でき、半導体チップの実装面積が小さく、かつ、結合強度の良いものが望まれている。

【0005】本発明は、上記従来の問題点に着目し、半導体チップの電極を貫通してあけたビア内壁に絶縁膜を施すとともに、半導体チップを積層し、ビア内に充填したメッキ材により各半導体チップの電極を電気的に接続し、かつ、各半導体チップを充填したメッキ材で結合したため、製造が容易で、メッキ接着強度が良い小型の半導体装置およびその製造方法、ならびにこれを用いた電子機器を提供すること目的としている。

【0006】

【課題を解決するための手段】上記目的を達成するために、本発明に係る半導体装置では、複数の半導体チップを積層して多層化した半導体装置において、半導体チップの電極を貫通してあけたビアと、該ビア内に各半導体チップの電極を接続して導通し積層した半導体チップを機械的に結合するメッキ材の結合柱部材を設けた構成にしたものである。

【0007】このように構成した本発明は、各半導体チップのビア内に配設された電極にメッキが施され接続するとともに、ビア内にメッキ材を充填し各半導体チップをメッキ材からなる結合柱部材で結合している。

【0008】また、ビア内に充填されるとともに、ビアの両端部においてビアの内径よりも大きい外径を有するメッキ材からなる結合柱部材で結合している。このため、各半導体チップにあけるビア直径の大小、あるいは、ビアの孔位置のズレに関係なくビア内に充填されたメッキ材により連結されるため、各半導体チップは確実に導通されるとともに、各半導体チップを確実に、強く結合することが出来る。また、各半導体チップはメッキ材で結合されているため、接着剤が不要になるとともに、モールドも不要にできる。このように、接着剤およびモールドを不要にできるため、工程の簡略化、リペアの容易化、および、放熱性が向上するという効果が得られる。さらに、接着剤が不要になるので膨張係数が異なることによる従来のような剥離が無くなるという効果も得られる。

【0009】また、上記発明に係る結合柱部材は、ビアの一端部に挿入したプラグと、該プラグに接続するビア内に充填したメッキ材からなることが望ましい。

【0010】このように構成した本発明は、電極以外にビア内のプラグからもメッキが施されてビア内をメッキ材で充填するためにメッキを施すのが容易になるとともに、メッキ時間の短縮が図れる。

【0011】本発明に係る半導体装置の製造方法は、積層した複数の半導体チップを積層したものにビアをあける、あるいは、複数の半導体チップにビアをあけた後に積層して多層化する、工程と、半導体チップを加熱してビア内壁に絶縁膜を形成する工程と、ビア内をエッティングあるいはメッキ防止材を塗布して電極を露出する工程と、積層した半導体チップをメッキ槽に挿入してビア内にメッキ材を充填し、各半導体チップの電極を電気的に接続するとともに、各半導体チップを結合する結合柱部材を形成する工程と、を有するようにしている。

【0012】このような方法で製造した本発明は、メッキ材にてビア内を充填して各半導体チップを結合柱部材で結合するとともに、各半導体チップの電極をメッキ材からなる結合柱部材で接続して各半導体チップを電気的に接続する。これにより、各半導体チップは、ビア

直径の大小、あるいは、ビアの孔位置の精度に関係なく各半導体チップに導通することが出来るとともに、積層した半導体チップは、確実に、強く結合される。このビアは各半導体チップにあけるようにして製造しても良く、あるいは、半導体チップにビアをあけた後に積層するようにしても良い。これにより、製品に合わせて半導体チップの積層ができ、且つ、そのビア直径あるいは孔位置の精度を低下しても良いので製造が容易になる。

【0013】また、本発明に係る電子機器は、上記構成の半導体装置を備えることが望ましい。

【0014】このように構成した本発明は、半導体装置は製造が容易で、かつ、小型で安価になるため、小型で安価な電子機器を得ることが出来る。

【0015】

【発明の実施の形態】以下に、本発明に係る半導体装置及びその製造方法、ならびに電子機器の好ましい実施の形態を添付図面に従って詳細に説明する。

【0016】図1は本発明の実施形態に係る半導体装置1の半導体チップ11を積層した一部側面断面図、図2から図5は半導体チップ11の第1実施例の製造工程を説明するための一部側面断面図、図6は半導体チップ11の第1実施例の製造工程を説明するための平面図、図7および図8は半導体チップ11の第2実施例の製造工程を説明するための一部側面断面図、図9は半導体装置1の側面断面図である。

【0017】図1において、半導体装置1(図9に示す)を構成する各々の半導体チップ11は、基板となるシリコン単結晶基板13(以下、基板13という)の一面側13aにアルミニウムからなる電極15が蒸着されるとともに、基板13の表面には、電極15を除いてSiO₂の絶縁膜17が形成されている。半導体装置1の複数の半導体チップ11は、例えば、第1半導体チップ11a、第2半導体チップ11b、第3半導体チップ11c、…(図示では3個)のチップが積層されて構成されている。積層されている第1半導体チップ11a、第2半導体チップ11b、第3半導体チップ11c、…の電極15は結合柱部材21により、各半導体チップ11は一体として結合されている。このとき、第1半導体チップ11a、第2半導体チップ11b、第3半導体チップ11c、…の各々の間は、絶縁膜17を介して積層されている。

【0018】また、半導体チップ11は、複数の電極15、例えば、図6の平面図に示すように、その一面13aに電極15a、第2電極15b、第3電極15c、…が、縦方向及び横方向のそれぞれに所定の間隔で離間して蒸着されている。また、同様に、第2電極15bは第2結合柱部材21bにより、更に、第3電極15cは第3結合柱部材21cにより電気的に接続されている。なお、上記実施例では、基板13の図示上側の一面13a

に電極15を設け、図示しない回路を構成したが、基板13の両側に電極15を設けて両側に図示しない回路を構成しても良い。

【0019】半導体チップ11の結合柱部材21は、電極15、基板13、および、絶縁膜17を貫通してビア-19があけられ、そのビア-19内にメッキ材が充填されて形成されている。このビア-19は、各々の半導体チップ11が積層された後にあけられている。または、各々の半導体チップ11にビア-19があけられた後に、ビア-19の位置を合わせて貫通した孔として積層しても良い。

【0020】次に、半導体チップ11の製造工程について説明する。図2から図6は、半導体チップ11の第1実施例の工程を示す図である。

【0021】図2に示すように、基板13の一面側13aには、例えば、アルミニウムからなる第1電極15a、第2電極15b、第3電極15c…の電極15が蒸着されている(図6参照)。この基板13には、一面側13aの電極15を除いた上面13b、側面13c、および、裏面13dにSiO₂の絶縁膜17が形成されている。また、半導体チップ11には、アルミニウムの電極15の中に図示しないドリルにより第1半導体チップ11a、第2半導体チップ11b、第3半導体チップ11c、…を貫通したビア-19が、電極15の両端部(図示の左右方向側)にあけられている。例えば、バスライン等の電極15では、100μmの幅に、50μmの直径のドリルで孔があけられる。

【0022】このビア-19があけられた半導体チップ11は所定の温度で加熱される。この結果、図3に示すように、基板13のビア-19の内壁19aには、SiO₂の内壁絶縁膜23が形成される。また、ビア-19のアルミニウムの電極15には、酸化アルミニウム膜25が形成される。

【0023】次に、ビア-19のアルミニウム電極15に形成される酸化アルミニウム膜25は、選択エッチングにより、図4に示すように除去される。

【0024】次に、図5に示すように、ビア-19の孔の一端部19bに、銅等の材料からなる鍍付プラグ27が挿入されるとともに、図示の一番上に配設された第3半導体チップ11cの上には、所定の直径孔Daを有するメッキ防止材29が塗布される。メッキ防止材29は、複数の直径孔Daを有して第3半導体チップ11cの上面全面(図6の斜線部で示す範囲)に塗布される。

【0025】図5および図6に示すような状態、即ち、ビア-19の内壁の基板13にSiO₂の内壁絶縁膜23が形成されるとともに、酸化アルミニウム膜25が除去されアルミニウム電極15が露出された半導体チップ11のビア-19内には、銅メッキ材が施されて充填され、図1に示すように、複数の結合柱部材21が形成される。これにより、半導体チップ11は、多數の結合柱

部材21により強く結合されるため、分離することがなくなる。

【0026】この銅メッキ材は、例えば、ビア-19の孔の一端部19bに挿入された銅等の材料からなる鍍付プラグ27に図示しないメッキ用電極の一方が接続されるとともに、他方のメッキ用電極はメッキ液に挿入されている。この半導体チップ11は、図示しないメッキ槽に挿入され、ビア-19の孔内にメッキを成長させてメッキ材を充填し、第1結合柱部材21a、第2結合柱部材21b、第3結合柱部材21c、…が形成される。このとき、前記所定の直径孔Daは、銅メッキ材が充填されて第1結合柱部材21aの上側の鍍31(図1に示す)となり、半導体チップ11が離間しないように結合している。上記例では、銅メッキ材を用いた例を示したが、金メッキ材、銀メッキ材、亜鉛メッキ材等の導電材料でメッキが可能な材料であれば良い。

【0027】これにより、図1に示すように、第1半導体チップ11a、第2半導体チップ11b、第3半導体チップ11c、…の第1電極15aは第1結合柱部材21aにより結合される。また、第2電極15bは第2結合柱部材21bにより、更に、第3電極15cは第3結合柱部材21cにより電気的に接続される。また、この各結合柱部材21は、前記のごとく、半導体チップ11が離間しないように結合している。この鍍付プラグ27および鍍31は、半導体装置1の電極として用いることができる。

【0028】上記実施例では、ビア-19は、各第1半導体チップ11a、第2半導体チップ11b、第3半導体チップ11c、…の各半導体チップ11が積層された後にドリルであけられたが、第1半導体チップ11a、第2半導体チップ11b、第3半導体チップ11c、…の各々にビア-19の孔をあけた後に治具を用いて貫通したビア-19を形成するようにしても良い。仮に、第1半導体チップ11a、第2半導体チップ11b、第3半導体チップ11c、…の各々にビア-19の孔がズレてもメッキ材により充填されるため、電気的に接続する結合柱部材21を形成できる。従って、ビア-19の孔あけ位置の精度は低くてもよくなり、製造が容易になる。

【0029】なお、上記実施例では、ビア-19内のアルミニウムの電極15は、酸化アルミニウム膜25が形成された後に除去した実施例を説明したが、半導体チップ11を所定の温度で加熱する前に、電極15の図示上面およびビア-19の内面に、酸化防止剤を塗布しておいて酸化膜の発生を防止するようにしても良い。

【0030】以上に記載した半導体装置1の製造方法は、積層した複数の半導体チップ11を積層したものにビア-19をあける、あるいは、複数の半導体チップ11にビア-19をあけた後に積層して多層化する、工程と、半導体チップ11を加熱してビア-19の内壁19

aに内壁絶縁膜23を形成する工程と、ビアー19内をエッティングあるいはメッキ防止材29を塗布して電極15を露出する工程と、積層した半導体チップ11を図示しないメッキ槽に挿入してビアー19内にメッキ材を充填し、各半導体チップ11の電極15を電気的に接続するとともに、各半導体チップ11を結合する結合柱部材21を形成する工程と、を有する工程よりなっている。

【0031】次に、半導体チップ11の第2実施例の製造工程について説明する。図7および図8は、半導体チップ11の第2実施例の工程を示す図である。なお、第1実施例と同一部品には同一符号を付して説明は省略する。

【0032】第1実施例では、ビアー19の孔の一端部19aに、銅等の材料からなる鍔付プラグ27が挿入された後、図5に示すように、第3半導体チップ11cの上に所定の直径孔Daを有するメッキ防止材29を塗布し、ビアー19内をメッキ材にて充填し結合柱部材21を形成している。

【0033】これに対して、第2実施例では、図7に示すように、第3半導体チップ11cの上に所定の直径孔Daを有するメッキ防止材29を塗布するとともに、第1半導体チップ11aの下に所定の第1直径孔Dbを有する下側メッキ防止材33を塗布している。第1半導体チップ11aの下に形成された所定の第1直径孔Dbは、下側鍔31aを形成している。メッキ防止材29と下側メッキ防止材33とが塗布された後に、ビアー19内をメッキ材にて充填し結合柱部材21を形成している。これにより、図8に示すように、半導体チップ11は結合柱部材21により、電極15が結合柱部材21により電気的に接続される。同時に、この結合柱部材21は、上側の鍔31と下側鍔31aとにより半導体チップ11が離間しないように結合している。このとき、鍔31の前記所定の直径孔Daと下側鍔31aの第1直径孔Dbとは、ビアー19の内径Dcよりも大きく明けられている。これにより、結合柱部材21は、ビアー19内に充填されるとともに、ビアー19の両端部31、31aにおいてビアー19の内径Dcよりも大きい外径Da、Dbを有するメッキ材からなっている。メッキ防止材29と下側メッキ防止材33とは、同一形状により構成しても良い。

【0034】一体化された各半導体チップ11は、図9に示すように、所定の厚さのモールド樹脂35を流し込むことにより実装チップ1Aが形成される。また、鍔付プラグ27の下側、結合柱部材21の上下、あるいは、電極15のいずれかから（図示では下側に書いてある）外部と電気的に接続するように構成されている。また、鍔付プラグ27の下側、結合柱部材21の上下、あるいは、電極15にワイヤーボールバンプ37を設けて外部と電気的に接続するように構成するようにしても良い。

【0035】図10には、本発明の実施の形態に係る半

導体装置1を実装した回路基板1000を示している。回路基板1000には、例えば、ガラスエポシキ基板等の有機系基板を用いることが一般的である。回路基板1000には、例えば、銅からなるポンディング部が所望の回路となるように形成されている。そして、ポンディング部と半導体装置1の外部電極とを機械的に接続することでそれらの電気的導通が図られる。

【0036】なお、半導体装置1は、実装面積をペアチップにて実装する面積にまで小さくすることが出来るので、この回路基板1000を電子機器に用いれば電気機器自体の小型化が図られる。また、同一面積内においては、より実装スペースを確保することができ、高機能化を図ることも可能である。

【0037】そして、この回路基板1000を備える電子機器として、図11にノート型パーソナルコンピュータ1200を示している。このノート型パーソナルコンピュータ1200は、製造容易で小型化された安価な回路基板1000を備えているため、小型化で安価にできる。

【0038】

【発明の効果】以上説明したように本発明によれば、各半導体チップのビア内に配設された電極にメッキが施されるとともにメッキ材が充填されて電気を導通し、かつ、メッキ材が結合柱部材となっているため、ビアー直徑の大小、あるいは、ビアーの孔位置の精度に関係なく各半導体チップに導通することが出来る。また、メッキ材がプラグと電極の両方から施されてビアー内を充填するため、メッキ施工が容易になるとともに、メッキ時間の短縮が図れる。また、各半導体チップの中に電極を電気的に接続するとともに、結合柱部材としたため、実装面積が小さくなり、また半導体チップの結合強度を強くできる。

【0039】また、半導体装置は製造が容易で、かつ、小型で安価になるため、小型で安価な電子機器を得ることが出来る。

【図面の簡単な説明】

【図1】本発明の実施形態に係る半導体装置の第1実施形態の半導体チップを積層した一部側面断面図である。

【図2】本発明の実施形態に係る半導体装置の第1実施形態における半導体チップの孔あけ工程を説明する一部側面断面図である。

【図3】本発明の実施形態に係る半導体装置の第1実施形態における半導体チップの絶縁膜を製造する工程を説明する一部側面断面図である。

【図4】本発明の実施形態に係る半導体装置の第1実施形態における半導体チップの電極の絶縁膜をエッティングする工程を説明する一部側面断面図である。

【図5】本発明の実施形態に係る半導体装置の第1実施形態における半導体チップのビアーにメッキ材を施す工程を説明する一部側面断面図である。

【図6】本発明の実施形態に係る半導体装置の第1実施形態の半導体チップを積層したメッキ前の平面図である。

【図7】本発明の実施形態に係る半導体装置の第2実施形態における半導体チップのビアーにメッキ材を施す工程を説明する一部側面断面図である。

【図8】本発明の実施形態に係る半導体装置の第2実施形態における半導体チップのビアーにメッキ材を施す工程を説明する一部側面断面図である。

【図9】本発明の実施形態に係る半導体装置の側面断面図である。

【図10】実施形態に係る半導体装置の回路基板への適用例の説明図である。

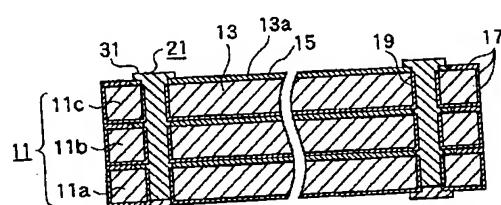
【図11】実施形態に係る半導体装置の電子機器への適用例の説明図である。

【符号の説明】

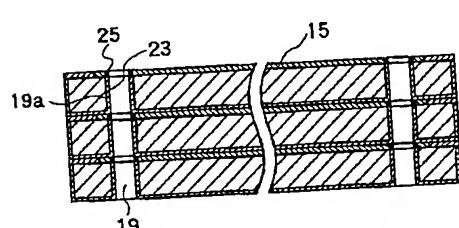
1 ……半導体装置

- 1 1 ……半導体チップ
- 1 3 ……シリコン単結晶基板
- 1 5 ……電極
- 1 7 ……絶縁膜
- 1 9 ……ビアー
- 2 1 ……結合柱部材
- 2 3 ……内壁絶縁膜
- 2 5 ……酸化アルミニウム膜
- 2 7 ……鍍付プラグ
- 2 9 ……メッキ防止剤
- 3 1 ……鍍
- 3 1 a ……下側鍍
- 3 3 ……下側メッキ防止材
- 3 5 ……モールド樹脂
- 3 7 ……ワイヤーボールバンプ
- 1 0 0 0 ……回路基板
- 1 2 0 0 ……ノート型パーソナルコンピュータ

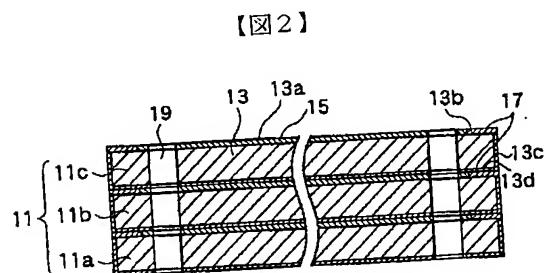
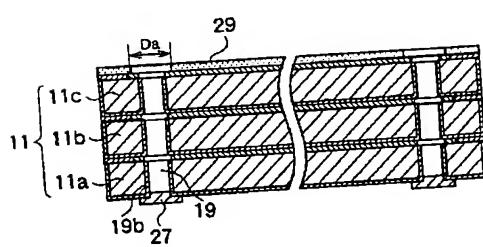
【図1】



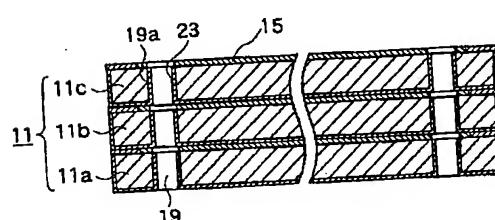
【図3】



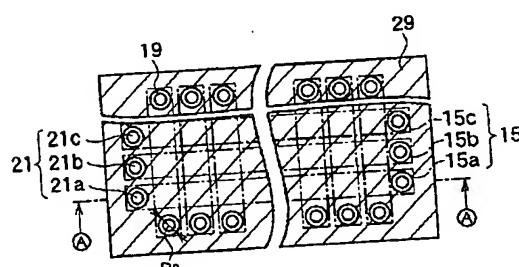
【図5】



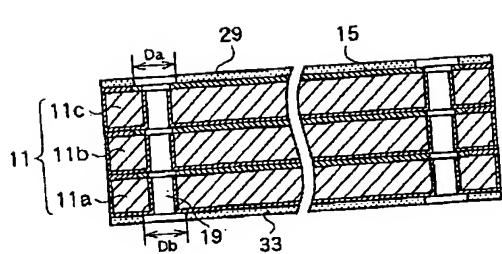
【図4】



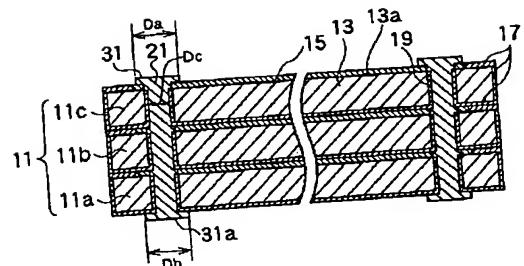
【図6】



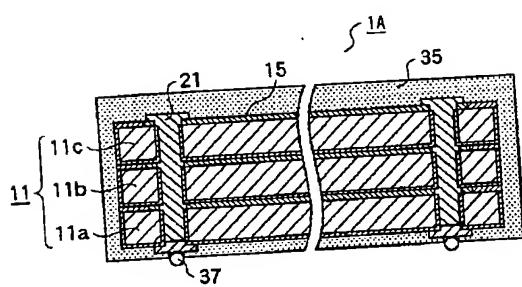
【図7】



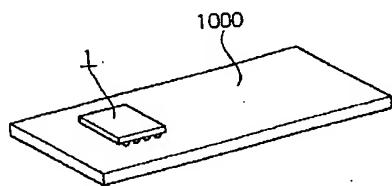
【図8】



【図9】



【図10】



【図11】

